

SON-2013

PATENT APPLICATION

#2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Patent Application of)
Shigeo TAGAMI)
Serial No. To be assigned)
Filed: February 14, 2001)
For: A DIGITAL SIGNAL PROCESSING DEVICE)
AND A METHOD AND A DELTA-SIGMA)
MODULATOR USING THE SAME METHOD)

ATT: APPLICATION BRANCH



CLAIM TO PRIORITY UNDER 35 USC 119

Commissioner for Patents
Washington, D.C. 20231

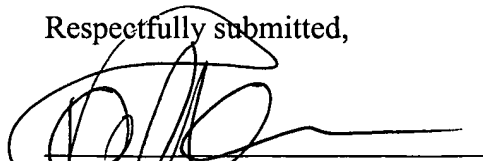
Sir:

The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. 2000-046838 filed February 18, 2000

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,



Ronald E. Kananen
Registration No. 24,104

Date: February 14, 2001

RADER, FISHMAN & GRAUER, PLLC
Lion Building
1233 20th Street, N.W.
Washington, D.C. 20036
Tel: (202) 955-37650
Customer No. 23353

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC841 U.S. PTO
09/782166
02/14/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年 2月18日

出願番号

Application Number:

特願2000-046838

願人
Applicant(s):

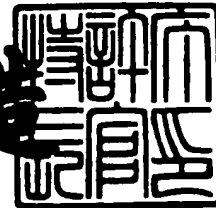
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3102244

【書類名】 特許願

【整理番号】 0000042303

【提出日】 平成12年 2月18日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H04M 7/34

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 田上 繁男

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 榮一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル信号処理装置及び方法、並びに $\Delta\Sigma$ 変調器

【特許請求の範囲】

【請求項 1】 $\Delta\Sigma$ 変調処理により得られた入力 $\Delta\Sigma$ 変調信号に係数を乗算する乗算手段と、

複数の積分器を有し、有効となる次数を可変して上記乗算手段の出力に再度 $\Delta\Sigma$ 変調処理を施す $\Delta\Sigma$ 変調手段と、

上記 $\Delta\Sigma$ 変調手段からの再 $\Delta\Sigma$ 変調信号と上記入力 $\Delta\Sigma$ 変調信号とを切り替える切り替え手段と

を備えることを特徴とするデジタル信号処理装置。

【請求項 2】 上記 $\Delta\Sigma$ 変調手段は、上記切り替え手段における信号切替の状況に応じて有効となる次数を可変する次数制御手段を備えることを特徴とする請求項 1 記載のデジタル信号処理装置。

【請求項 3】 上記次数制御手段は、上記切り替え手段が上記入力 $\Delta\Sigma$ 変調信号と上記再 $\Delta\Sigma$ 変調信号とを切り替える付近で上記 $\Delta\Sigma$ 変調手段の有効となる次数を可変することを特徴とする請求項 2 記載のデジタル信号処理装置。

【請求項 4】 上記次数制御手段は、上記切り替え手段が可聴帯域において無音となる固定信号と、 $\Delta\Sigma$ 変調を施した音楽データとを切り替える付近で上記 $\Delta\Sigma$ 変調手段の有効となる次数を可変することを特徴とする請求項 2 記載のデジタル信号処理装置。

【請求項 5】 上記 $\Delta\Sigma$ 変調手段は、上記積分器の内部に残った端数を除去する端数除去手段を備えることを特徴とする請求項 1 記載のデジタル信号処理装置。

【請求項 6】 $\Delta\Sigma$ 変調処理により得られた入力 $\Delta\Sigma$ 変調信号に所定の係数を乗算して所定の処理を施す乗算工程と、

複数の積分器を有して有効となる次数を可変する $\Delta\Sigma$ 変調器により上記所定の処理の施された出力に再度 $\Delta\Sigma$ 変調処理を施す再 $\Delta\Sigma$ 変調工程と、

上記入力 $\Delta\Sigma$ 変調信号と上記再 $\Delta\Sigma$ 変調信号とを切り替える切り替え工程とを備えることを特徴とするデジタル信号処理方法。

【請求項 7】 上記再 $\Delta\Sigma$ 変調工程は、上記切り替え工程における信号切り替え状況に応じて上記 $\Delta\Sigma$ 変調器の有効となる次数を可変することを特徴とする請求項 6 記載のデジタル信号処理方法。

【請求項 8】 上記再 $\Delta\Sigma$ 変調工程は、上記切り替え工程が上記入力 $\Delta\Sigma$ 変調信号と上記再 $\Delta\Sigma$ 変調信号とを切り替えるタイミング付近で上記 $\Delta\Sigma$ 変調器の有効となる次数を可変することを特徴とする請求項 7 記載のデジタル信号処理方法。

【請求項 9】 上記再 $\Delta\Sigma$ 変調工程は、上記切り替え工程が可聴帯域において無音となる固定信号と、 $\Delta\Sigma$ 変調を施した音楽データとを切り替えるタイミング付近で上記 $\Delta\Sigma$ 変調器の有効となる次数を可変することを特徴とする請求項 7 記載のデジタル信号方法。

【請求項 10】 上記再 $\Delta\Sigma$ 変調工程は、 $\Delta\Sigma$ 変調器の有効次数を可変する他、さらに上記積分器の内部に残った端数を除去することを特徴とする請求項 6 記載のデジタル信号処理方法。

【請求項 11】 多ビット信号に $\Delta\Sigma$ 変調処理を施す $\Delta\Sigma$ 変調器において、
複数の積分器と、
上記複数の積分器を接続することによって増えた次数の有効次数を可変する次数可変手段と
を備えることを特徴とする $\Delta\Sigma$ 変調器。

【請求項 12】 上記積分器の内部に残った端数を除去する端数除去手段を備えることを特徴とする請求項 11 記載の $\Delta\Sigma$ 変調器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は高速 1 ビットデータを用いたデジタルオーディオデータに音量調整等の編集処理を施すデジタル信号処理装置及び方法、並びに $\Delta\Sigma$ 変調器に関する。

【 0 0 0 2 】

【従来の技術】

音声信号をデジタル化する方法としては、デルタシグマ ($\Delta \Sigma$) 変調と呼ばれる方法が提案されている (日本音響学会誌 4 6 巻 3 号 (1 9 9 0) 第 2 5 1 ~ 2 5 7 頁「AD/D A 変換器とデジタルフィルター (山崎芳男)」等参照)。

【 0 0 0 3 】

図 4 は、例えば 1 ビットのデジタルデータに $\Delta \Sigma$ 変調処理を施す $\Delta \Sigma$ 変調回路のブロック図である。この図 4 において、入力端子 8 1 からの入力オーディオ信号 S が加算器 8 2 を通じて積分器 8 3 に供給される。この積分器 8 3 からの信号が比較器 8 4 に供給され、例えば入力オーディオ信号 S の中点電位と比較されて 1 サンプル期間ごとに 1 ビット量子化される。なおサンプル期間の周波数 (サンプリング周波数) は、従来の 4 8 k H z、4 4 . 1 k H z に対して、その 6 4 倍あるいは 1 2 8 倍となる。

【 0 0 0 4 】

この量子化データが 1 サンプル遅延器 8 5 に供給されて 1 サンプル期間分遅延される。この遅延データが例えば 1 ビットの D/A 変換器 8 6 でアナログ信号に変換されて加算器 8 2 に供給されて、入力端子 8 1 からの入力オーディオ信号 S に加算される。そして比較器 8 4 から出力される量子化データが 1 ビットデータ D_1 として出力端子 8 7 に取り出される。この $\Delta \Sigma$ 変調回路が行う $\Delta \Sigma$ 変調処理によれば、上記文献にも記されているように、サンプリング周波数を充分高くすることによって、1 ビットの少ないビット数でも高いダイナミックレンジのオーディオ信号を得ることができる。また、広い伝送可能周波数帯域を持つことができる。また、 $\Delta \Sigma$ 変調回路は、回路構成が集積化に適しており、また比較的簡単に A/D 変換の精度を得ることができることから従来から A/D 変換器の内部などではよく用いられている。 $\Delta \Sigma$ 変調された信号は、簡単なアナログローパスフィルターを通すことによって、アナログオーディオ信号に戻すことができる。したがって、 $\Delta \Sigma$ 変調回路は、これらの特徴を生かすことによって、高品質のデータを扱うレコーダやデータ伝送に応用することができる。

【0005】

上記 $\Delta\Sigma$ 変調回路によって生成された1ビットデータによる、高速1ビット方式を用いた音楽データを編集するためには、本件出願人による特開平9-307452号公報に開示されている様に、図5に示す1ビットデータ編集機90において、入力端子91から入力される、音楽データである1ビットデータ入力データ D_{1i} に所定の係数 k を乗算器92で乗算して一旦多ビットデータ D_m にし、これを再び $\Delta\Sigma$ 変調器93で $\Delta\Sigma$ 変調を行って1ビット信号 D_1' に戻すという処理が必要である。この $\Delta\Sigma$ 変調器93は、複数の積分器を用い、複数次に多段構成された変調器であり、上記図4に示した $\Delta\Sigma$ 変調回路よりも複雑な構成である。

【0006】

しかしながら、常に $\Delta\Sigma$ 変調器93を通すという構成では、音量調整等の必要がない状態、つまり上記係数 k が1.0であった場合も、音楽データ D_{1i} は常に $\Delta\Sigma$ 変調器93を通るため、音質が劣化してしまう。

【0007】

そこで、 $\Delta\Sigma$ 変調器93内部の積分器に残った端数に対し、端数除去回路94を用いて所定の加算・減算を行って端数を除去すると、原音信号 D_{1i} と $\Delta\Sigma$ 変調信号 D_1' のパターンが近くなる。また遅延器96を用いて $\Delta\Sigma$ 変調信号 D_1' と原音信号 D_{1i} の位相が概揃う様にし、コントロール部97が $\Delta\Sigma$ 変調信号 D_1' と遅延原音信号 D_{1d} の信号パターンを監視し、ほぼ一致した点でセレクタ95を $\Delta\Sigma$ 変調信号 D_1' 側bから遅延原音信号 D_{1d} 側aに切り替える。

【0008】

この処理を行うことで、音量調整等必要の無い場合に切り替えノイズ等を発生させることなく $\Delta\Sigma$ 変調信号 D_1' を遅延原音信号 D_{1i} に切り替えて出力端子95から1ビットデータ出力 D_{1o} として出力（再 $\Delta\Sigma$ 変調器93をバイパス）することができる。

【0009】

【発明が解決しようとする課題】

ところが、使用する $\Delta\Sigma$ 変調器93の仕様と、入力される1ビットデータ D_{1i}

の周波数に拠っては、この切り替え時にノイズを発生してしまう虞がある。一般的に、次数の高い $\Delta\Sigma$ 変調器では可聴帯域において高い S/N が得られる反面、周波数特性の変化する点が可聴帯域に近くなり、高域において位相が回りやすい。このため、次数の高い $\Delta\Sigma$ 変調処理を用いた場合で、かつ入力信号の周波数が高い場合、遅延原音信号 D_{1i} と $\Delta\Sigma$ 変調信号 D_1' との間でレベル差及び位相ずれが起こり、セクタ95でこれらを切り替えた時点でノイズを発生してしまう。

【0010】

また、 $\Delta\Sigma$ 変調器93に次数の低いものを用いた場合、このようなレベル差及び位相回りが少ないため切り替え時のノイズは発生しにくい代わりに、可聴帯域における S/N が低いため、 $\Delta\Sigma$ 変調器93をバイパスしない場合の S/N が低くなってしまう。

【0011】

本発明は、上記実情に鑑みてなされたものであり、簡単な構成で、どのような1ビットの原音信号が入力されても切替ノイズをほとんど発生することなく原音信号と $\Delta\Sigma$ 変調信号とを切り替え、再 $\Delta\Sigma$ 変調信号にも十分な S/N が得られるデジタル信号処理装置及び方法、並びに $\Delta\Sigma$ 変調器の提供を目的とする。

【0012】

【課題を解決するための手段】

本発明に係るデジタル信号処理装置は、上記課題を解決するために、 $\Delta\Sigma$ 変調処理により得られた入力 $\Delta\Sigma$ 変調信号に係数を乗算する乗算手段と、複数の積分器を有し、有効となる次数を可変して上記乗算手段の出力に再度 $\Delta\Sigma$ 変調処理を施す $\Delta\Sigma$ 変調手段と、上記 $\Delta\Sigma$ 変調手段からの再 $\Delta\Sigma$ 変調信号と上記入力 $\Delta\Sigma$ 変調信号とを切り替える切り替え手段とを備える。

【0013】

そして、このデジタル信号処理装置は、有効な次数が可変する $\Delta\Sigma$ 変調器を、 $\Delta\Sigma$ 変調信号出力時と、原音信号との切り替え時でそれぞれ次数を変えて使用する。

【0014】

本発明に係るデジタル信号処理方法は、上記課題を解決するために、 $\Delta\Sigma$ 変調処理により得られた入力 $\Delta\Sigma$ 変調信号に所定の係数を乗算して所定の処理を施す乗算工程と、複数の積分器を有しながら有効となる次数を可変する $\Delta\Sigma$ 変調器を用いて上記所定の処理の施された出力に再度 $\Delta\Sigma$ 変調処理を施す再 $\Delta\Sigma$ 変調工程と、上記入力 $\Delta\Sigma$ 変調信号と上記再 $\Delta\Sigma$ 変調信号とを切り替える切り替え工程とを備える。

【0015】

本発明に係る $\Delta\Sigma$ 変調器は、上記課題を解決するために、多ビット信号に $\Delta\Sigma$ 変調処理を施す $\Delta\Sigma$ 変調器において、複数の積分器と、上記複数の積分器を接続することによって増えた次数の有効次数を可変する次数可変手段とを備える。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。この実施の形態は、図1に示すように、 $\Delta\Sigma$ 変調処理により得られた1ビットデータからなる音楽データ D_{1i} に例えばフェードイン、フェードアウトのようなフェード処理等の編集処理を施す1ビットデータ編集機10である。

【0017】

1ビットデータ編集機10は、入力端子11に入力される、上記音楽データである入力1ビットデータ D_{1i} に係数 k を乗算する乗算器12と、例えば5個の積分器を有し、後述するように有効となる次数を可変して乗算器12の乗算出力に再度 $\Delta\Sigma$ 変調処理を施す $\Delta\Sigma$ 変調器13と、この $\Delta\Sigma$ 変調器13からの再 $\Delta\Sigma$ 変調信号 D_{1i}' に対する上記入力1ビットデータ D_{1i} の位相を揃えるための遅延器17と、遅延器17の出力である遅延原音信号 D_{1d} と上記再 $\Delta\Sigma$ 変調信号 D_{1i}' とを切り替えるセレクタ16と、 $\Delta\Sigma$ 変調器13の上記有効となる次数の可変処理を制御するコントロール部18とを備えてなる。

【0018】

$\Delta\Sigma$ 変調器13は、図2に示すように5個の積分器23, 33, 43, 50, 57を備えてなる5次（段）の $\Delta\Sigma$ 変調であり、上述したように有効となる次数

を状況に応じて可変する。これは、従来、使用する $\Delta\Sigma$ 変調器の仕様と、入力される1ビットデータの周波数に拠っては、原音信号と $\Delta\Sigma$ 変調信号の切り替え時にノイズを発生してしまっていたのを防ぐためである。

【0019】

つまり、一般的に、図3に示すように、3次、4次よりも5次というように次数の高い $\Delta\Sigma$ 変調器では可聴帯域において高いS/Nが得られる反面、周波数特性の変化する点が可聴帯域に近くなり、高域において位相が回りやすい。そこで、 $\Delta\Sigma$ 変調器13では高域においてレベル差及び位相回りの少ない低い次数となつてから再 $\Delta\Sigma$ 変調信号から遅延原音信号に切り換える。

【0020】

以下に $\Delta\Sigma$ 変調器13の詳細な構成を説明する。 $\Delta\Sigma$ 変調器13において、先ず、初段の積分器23は、加算器27からの加算出力を遅延器26で遅延してからフィードバックループ24を通して端数除去回路25に供給し、さらにフィードバックループ24を介して加算器27に戻す、 $Z^{-1}/(1-Z^{-1})$ 構成である。

【0021】

2段目の積分器33も、加算器37からの加算出力を遅延器36で遅延してからフィードバックループ34を通して端数除去回路35に供給し、さらにフィードバックループ34を介して加算器37に戻している。

【0022】

同様に3段目の積分器43及び4段目の積分器50も、加算器47及び加算器54からの加算出力を遅延器46及び遅延器53で遅延してからフィードバックループ44及び51を通して端数除去回路45及び端数除去回路52に供給し、さらにフィードバックループ44及び51を通して加算器47及び加算器54に戻している。

【0023】

5段目の積分器は、端数除去回路を持たず、加算器60の加算出力を遅延器59で遅延しフィードバックループ58を介して加算器60に戻す構成である。

【 0 0 2 4 】

また、 $\Delta\Sigma$ 変調器 1 3 は、上記図 1 に示した乗算器 1 2 の乗算出力に、後述する量子化器 6 1 から符号が反転されてフィードバックされる量子化データを加算する加算器 2 2 と、初段の積分器 2 3 の積分出力に次数制御回路 1 4 から供給される第 1 の次数制御係数 j_1 を乗算する乗算器 2 8 と、乗算器 2 8 の乗算出力に適切なゲインを掛けるレベル調整器 2 9 を備える。

【 0 0 2 5 】

また、 $\Delta\Sigma$ 変調器 1 3 は、上記乗算器 1 2 の乗算出力に次数制御回路 1 4 から供給される第 2 の次数制御係数 j_2 を乗算する乗算器 3 0 と、この乗算器 3 0 の乗算出力と上記レベル調整器 2 9 のレベル調整出力と量子化器 6 1 から符号が反転されて供給される量子化データとを加算し加算出力を 2 段目の積分器 3 3 に供給する加算器 3 2 を備える。

【 0 0 2 6 】

また、 $\Delta\Sigma$ 変調器 1 3 は、2 段目の積分器 3 3 からの積分出力に次数制御回路 1 4 から供給される第 3 の次数制御係数 j_3 を乗算する乗算器 3 8 と、乗算器 3 8 の乗算出力に適切なゲインを掛けるレベル調整器 3 9 を備える。

【 0 0 2 7 】

また、 $\Delta\Sigma$ 変調器 1 3 は、上記乗算器 1 2 の乗算出力に次数制御回路 1 4 から供給される第 4 の次数制御係数 j_4 を乗算する乗算器 4 0 と、この乗算器 4 0 の乗算出力と上記レベル調整器 3 9 のレベル調整出力と量子化器 6 1 から符号が反転されて供給される量子化データとを加算し加算出力を 3 段目の積分器 4 3 に供給する加算器 4 2 を備える。

【 0 0 2 8 】

また、 $\Delta\Sigma$ 変調器 1 3 は、3 段目の積分器 4 3 からの積分出力に適切なゲインを掛けるレベル調整器 4 8 と、このレベル調整器 4 8 のレベル調整出力に量子化器 6 1 から符号が反転されて供給される量子化データを加算し加算出力を 4 段目の積分器 5 0 に供給する加算器 4 9 を備える。

【 0 0 2 9 】

また、 $\Delta\Sigma$ 変調器 1 3 は、4 段目の積分器 5 0 からの積分出力に適切なゲイン

を掛けるレベル調整器 5 5 と、このレベル調整器 5 5 のレベル調整出力に量子化器 6 1 から符号が反転されて供給される量子化データを加算し加算出力を 5 段目の積分器 5 7 に供給する加算器 5 6 とを備える。

【 0 0 3 0 】

また、 $\Delta\Sigma$ 変調器 1 3 は、5 段目の積分器 5 7 の積分出力に対して量子化処理を施して量子化データを出力端子 6 2 から導出するとともに、上記加算器 2 2, 3 2, 4 2, 4 9 及び 5 6 にフィードバックさせる量子化器 6 1 を備えている。

【 0 0 3 1 】

次に、 $\Delta\Sigma$ 変調器 1 3 の基本的な動作について説明する。入力端子 2 1 には上記乗算器 1 2 の出力となる多ビットの音楽信号が入力される。この音楽信号は加算器 2 2 に供給され、量子化器 6 1 から供給されたフィードバック信号と加算される。上記フィードバック信号は、符号が反転された量子化データであるので、結果的に音楽信号から量子化データが減算される。加算器 2 2 の出力は、初段の積分器 2 3 に供給される。

【 0 0 3 2 】

初段の積分器 2 3 は、上述したような構成であり、遅延器 2 6 により遅延されたデータから端数除去回路 2 5 で端数を除去し、フィードバックループ 2 4 により加算器 2 7 に戻し、この加算器 2 7 に供給される加算器 2 2 の出力に繰り返し加算することにより積分処理を行う。初段の積分器 2 3 の積分出力は乗算器 2 8 に供給され、次数制御回路 1 4 からの第 1 の次数制御係数 j_1 が乗算される。次数制御回路 1 4 が出力する第 1 の次数制御係数 j_1 の値は最初 1.0 である。

【 0 0 3 3 】

一方、上記入力端子 2 1 から入力された上記音楽信号には次数制御回路 1 4 が出力する第 2 の次数制御係数 j_2 が乗算器 3 0 で乗算される。この第 2 の次数制御係数 j_2 の値は最初 0.0 である。このため、乗算器 2 8 はスルーとなり、初段の積分器 2 3 の出力はレベル調整器 2 9 で適当なゲインが掛けられてから、加算器 3 2 により上記フィードバック信号が加算され、第 2 の積分器 3 3 に渡される。

【 0 0 3 4 】

第 2 の積分器 3 3 は、上述したような構成であり、遅延器 3 6 により遅延した

データから端数除去回路 3 5 で端数を除去し、フィードバックループ 3 4 により加算器 3 7 に戻し、この加算器 3 7 に供給される加算器 3 2 の出力に繰り返し加算することにより積分処理を行う。第 2 の積分器 3 3 の積分出力は乗算器 3 8 に供給され、次数制御回路 1 4 からの第 3 の次数制御係数 j_3 が乗算される。この第 3 の次数制御係数 j_3 の値は最初 1.0 である。

【 0 0 3 5 】

一方、上記入力端子 2 1 から入力された上記音楽信号には次数制御回路 1 4 が出力する第 4 の次数制御係数 j_4 が乗算器 4 0 で乗算される。この第 4 の次数制御係数 j_4 の値は最初 0.0 である。これにより、2 段目の積分器 3 3 も初段の積分器 2 3 と同様に計算が行われる。

【 0 0 3 6 】

3 段目の積分器 4 3 から 5 段目の積分器 5 7 まで同様の処理が行われ、量子化器 6 1 で 1 ビットに量子化され、この 1 ビットのデータがフィードバック信号となって次段の計算結果に反映される。

【 0 0 3 7 】

このようにして、 $\Delta\Sigma$ 変調器 1 3 は 5 次の $\Delta\Sigma$ 変調器として、量子化ノイズを高域にシフトさせて多ビットの入力データから 1 ビットの出力信号を作り出す。

【 0 0 3 8 】

次に、 $\Delta\Sigma$ 変調器 1 3 の次数可変動作について説明する。次数制御回路 1 4 が乗算器 3 0 に出力する第 2 の次数制御係数 j_2 は 0.0 から少しずつ増加し、適当な時間をもって 1.0 へと変化する。第 1 の次数制御係数 j_1 は、
第 1 の次数制御係数 $j_1 = 1.0 - \text{第 2 の次数制御係数 } j_2$
という式で表され、1.0 から 0.0 へと第 2 の次数制御係数 j_2 と同じ時間で変化する。第 1 の次数制御係数 j_1 が 0.0 になると、初段の積分器 2 3 及び初段に入るフィードバック信号は 0 であったことと等価になる。

【 0 0 3 9 】

そして第 2 の次数制御係数 j_2 が 1.0 であるので 2 段目の積分器 3 3 には加算器 3 2 を介して音楽信号が直接入力されたことと等価になる。これらにより、 $\Delta\Sigma$ 変調器 1 3 は、滑らかに 5 次から 4 次へと次数移行し、終了時点で完全な 4 次 Δ

Σ 変調器となる。

【0040】

全く同様に、第3の次数制御係数 j_2 及び第4の次数制御係数 j_4 をコントロールすることで、 $\Delta\Sigma$ 変調器13を滑らかに3次にすることができる。この場合、5次→4次→3次とすることも、5次→3次とすることも可能である。

【0041】

次に、上記図1に戻り、1ビットデータ編集機10の動作について詳細に説明する。図1においては従来例と同様に、入力端子11に入力された原音信号となる入力1ビットデータ D_{1i} に対して、任意の値の係数 k が乗算器12で掛けられ、音量を調整された多ビットによる乗算出力となる。これを $\Delta\Sigma$ 変調器13が受けて1ビットデータに変換し、 $\Delta\Sigma$ 変調信号 D_1' が生成される。

【0042】

この時点では、セレクタ16は $\Delta\Sigma$ 変調信号 D_1' 側bに倒れているため、1ビットデータ出力には $\Delta\Sigma$ 変調信号 D_1' が出力されている。ここで、係数 k が1.0となった場合、上記多ビットによる乗算出力の1の重みより下のビットは全て0になり、 $\Delta\Sigma$ 変調器13には1以下の大きさを持つデータ（以下端数と称する）が入力されなくなる。

【0043】

コントロール部18は、係数 k が1.0になったことを検出し、次数制御回路14に次数を下げる命令を送る。次数制御回路14はこれを受けて前述の様に次数を5次から4次又は3次へと下げる様に第1の次数制御係数 j_1 ~ 第4の次数制御係数 j_4 をコントロールする。

【0044】

$\Delta\Sigma$ 変調器13の低次への次数の移行が終了すると、コントロール部18は端数除去命令を端数除去回路15に送る。端数除去回路15は、各積分器に接続された端数除去回路25, 35, 45、52からできており、微少なDCを加算又は減算することによって各積分器に残った端数を除去する。

【0045】

端数の除去が終了したら、コントロール部18は $\Delta\Sigma$ 変調信号 D_1' と遅延原

音信号 D_{1i} とを比較し、適当な範囲における出力パターンが一致した時点でセレクト 1 6 を遅延原音信号 D_{1i} 側 a に切り替える。

【0 0 4 6】

そして、 $\Delta\Sigma$ 変調器 1 3 では高域においてレベル差及び位相回りの少ない低い次数となつてから $\Delta\Sigma$ 変調信号を原音信号に切り替え、原音信号に可聴帯域を越える高い周波数の信号が多く含まれていても、ノイズを発生することなく切り替えを可能とする。またこの切り替えに要する時間は数十msで済むため、低い次数となっている間の S/N の低さは特に問題にならない。

【0 0 4 7】

上記の一連の動作は、音量調整等で出力が $\Delta\Sigma$ 変調信号であった状態から、音量調整等が必要なくなり、出力信号が原音信号に切り替わる場合のものである。再び音量調整等が必要になった場合には、以下の様に動作する。

【0 0 4 8】

係数 k が 1.0 である間、 $\Delta\Sigma$ 変調器 1 3 は次数 3 次のまま動作している。具体的には、次数制御回路 1 4 の第 2 の次数制御係数 j_2 は 1.0、第 1 の次数制御係数 j_1 は 0.0、第 4 の次数制御係数 j_4 は 1.0、第 3 の次数制御係数 j_3 は 0.0 である。

【0 0 4 9】

そして、係数 k が、1.0 から異なる数値に変更される場合、その直前にコントロール部 1 8 は遅延原音信号 D_{1d} と $\Delta\Sigma$ 変調信号 $D_{1'}$ を比較し、適当な範囲における出力パターンが一致した時点でセレクト 1 6 を $\Delta\Sigma$ 変調信号 $1'$ 側 b に切り替える。この時点で $\Delta\Sigma$ 変調機 1 3 は 3 次であるため、原音信号に高い周波数が存在してもこれによりノイズを発生することなく出力は $\Delta\Sigma$ 変調信号 $1'$ に切り替わる。

【0 0 5 0】

セレクト 1 6 が切り替わったことを検出すると、次数制御回路 1 4 は第 3 の次数制御係数 j_3 を 0.0 から 1.0 に向けて滑らかに変化させる。同時に、第 4 の次数制御係数 j_4 を 1.0 から 0.0 に変化させる。第 2 の次数制御係数 j_2 は 1.0 となっているため、これにより、 $\Delta\Sigma$ 変調器 1 3 の次数は 4 次に変化する。

【 0 0 5 1 】

これが終了すると、同様にして第 2 の次数制御係数 j_2 が 0.0 に、第 1 の次数制御係数 j_1 が 1.0 に滑らかに変化して、 $\Delta\Sigma$ 変調器 1 3 の次数は 5 次に変化する。これにより、これ以降の出力は 5 次 $\Delta\Sigma$ 変調出力となり、十分な S/N を確保できる。

【 0 0 5 2 】

以上、 $\Delta\Sigma$ 変調器 1 3 は自在に 5 次から 3 次まで次数を滑らかに変えることができる。これを使った 1 ビットデータ編集機 1 0 は、 $\Delta\Sigma$ 変調信号が長く出力しているときは次数を 5 次として S/N を確保し、原音信号と切り替える場合はその直前に 3 次まで次数を落とすことでレベル差及び位相回りによる切り替えノイズを低減する。

【 0 0 5 3 】

なお、上記の例では基本が 5 次 $\Delta\Sigma$ 変調器を用いたが、例えば 4 次でも 6 次でも 7 次でもよく、また下げる次数は用途に合わせて 2 次でも 1 次でもよい。また、上記の動作説明では係数 k が 1.0 かそれ以外かであったが、係数 k が 0.0 の場合は同様にして、次数を下げてから $\Delta\Sigma$ 変調信号を無音を表す固定パターン信号に切り替える。また、入出力の周波数特性が所望のものとなるならば、次数制御回路 1 4 の第 2 の次数制御係数 j_2 及び第 4 の次数制御係数 j_4 は終始 1.0 固定でもよい。

【 0 0 5 4 】

また、積分器の構成方法は $Z^{-1} / (1 - Z^{-1})$ であったが、入出力の周波数特性が所望のものとなるならば $1 / (1 - Z^{-1})$ であってもよい。また、乗算器 2 8 及び 3 8 と、その直後のゲイン調整部 2 9 及び 3 9 は一つにまとめてしまってもよい。また、 $\Delta\Sigma$ 変調器及び入出力信号は 1 ビットだけでなく、複数ビットでもよい。

【 0 0 5 5 】

【発明の効果】

以上のごとく、本発明によれば高速 1 ビット信号を扱う上で、入力信号に高い周波数が多く含まれていたとしても小規模の回路で切替ノイズをほとんど発生す

ることなく、 $\Delta\Sigma$ 変調信号と原音信号を自在に切り替え、また $\Delta\Sigma$ 変調信号出力次の S/N を十分確保することが可能である。

【図面の簡単な説明】

【図 1】

本発明の実施の形態となる 1 ビットデータ編集機の構成を示すブロック図である。

【図 2】

上記 1 ビットデータ編集機を構成する $\Delta\Sigma$ 変調器の詳細な構成を示す図である。

【図 3】

上記 $\Delta\Sigma$ 変調器の周波数特性図である。

【図 4】

1 ビットデータを生成する $\Delta\Sigma$ 変調器の基本的な構成図である。

【図 5】

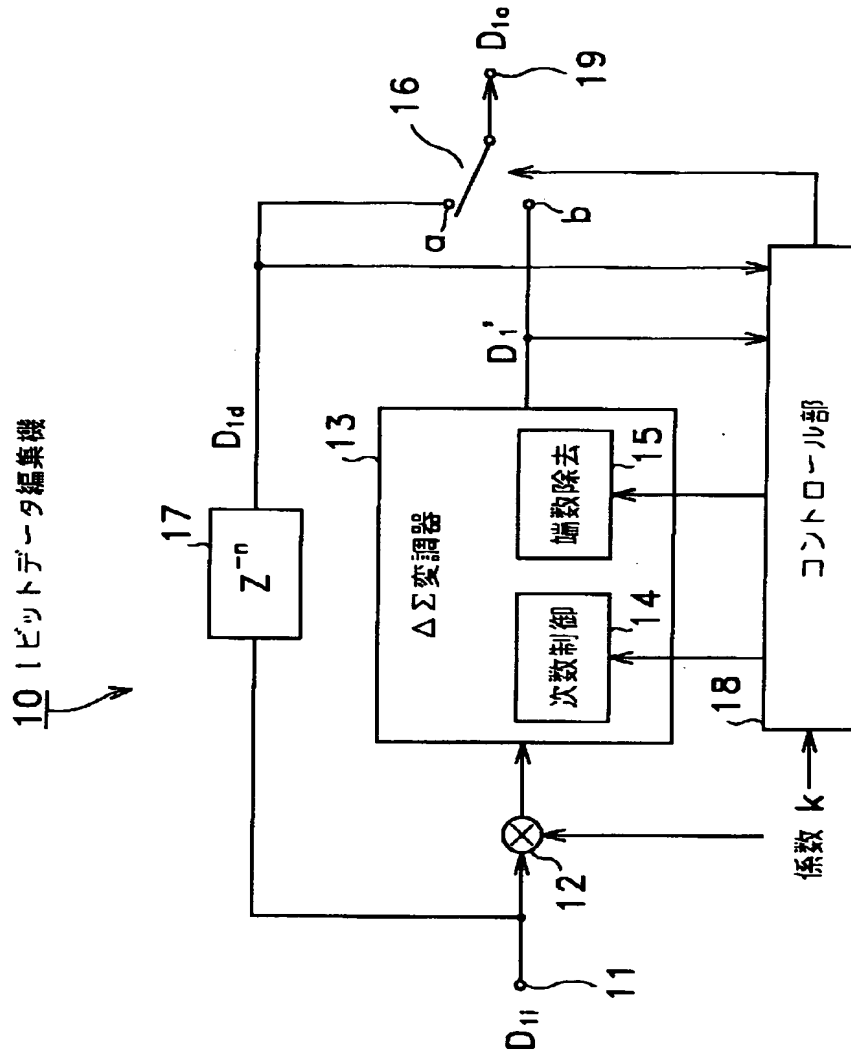
従来の 1 ビットデータ編集機の構成を示すブロック図である。

【符号の説明】

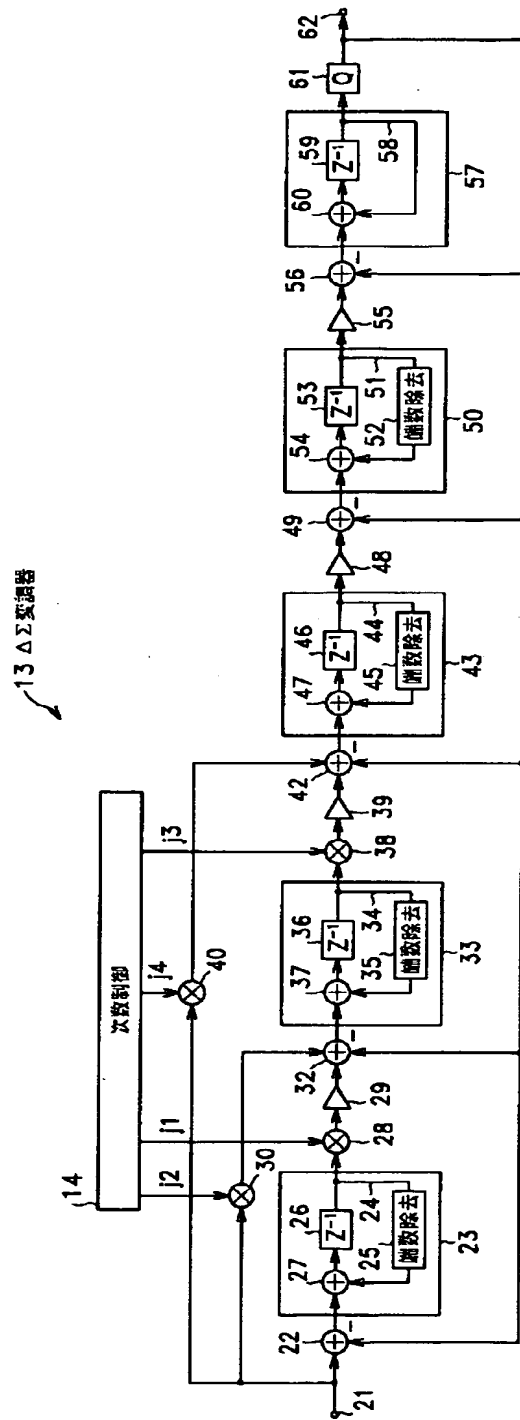
1 0 1 ビットデータ編集機、 1 2 乗算器、 1 3 $\Delta\Sigma$ 変調器、 1 4 次数制御回路、 1 5 端数除去回路、 1 6 セレクタ、 1 8 コントロール部

【書類名】 図面

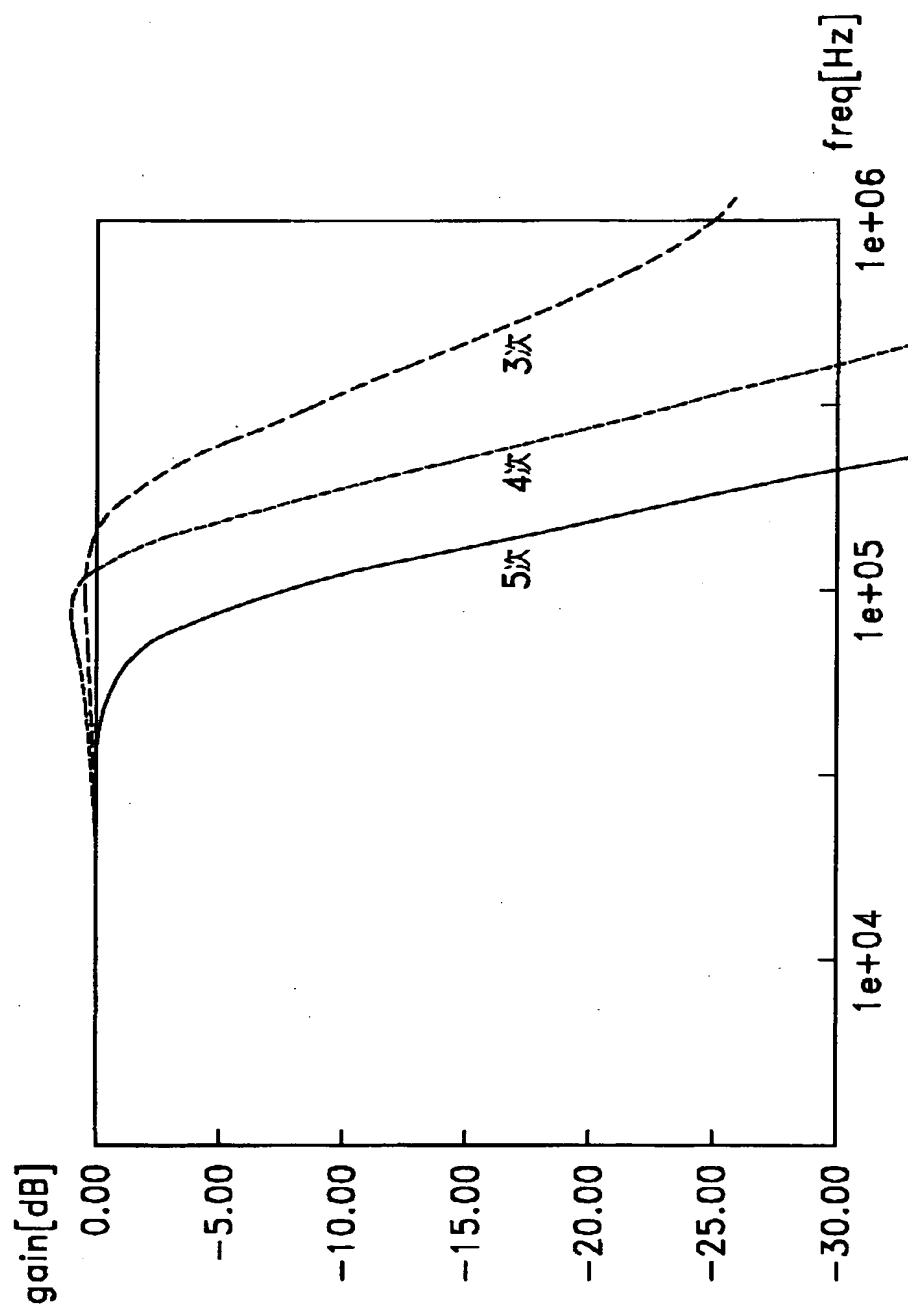
【図 1】



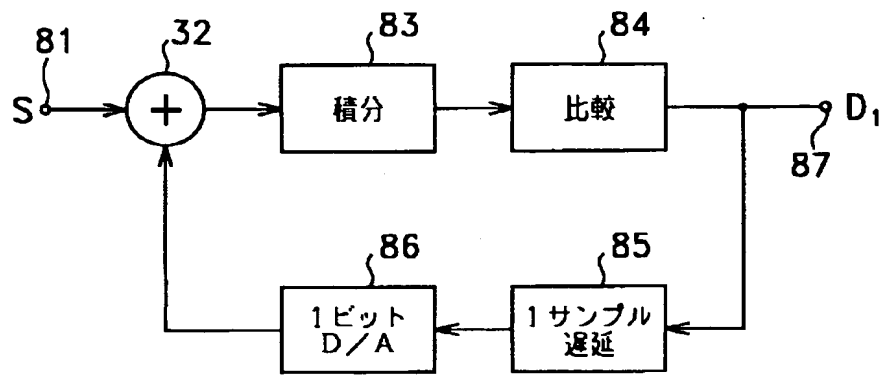
【図 2】



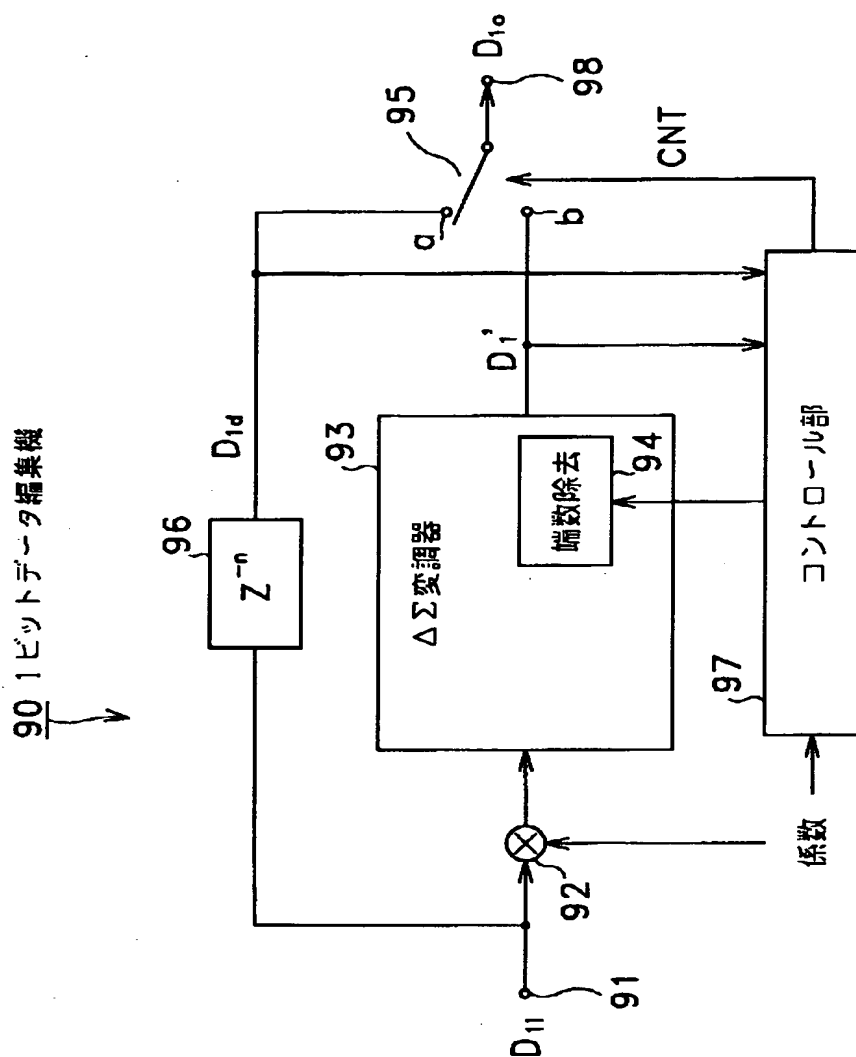
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 どの様な 1 ビットの原音信号が入力されても切替ノイズをほとんど発生することなく原音信号と $\Delta\Sigma$ 変調信号とを切り替え、再 $\Delta\Sigma$ 変調信号にも十分な S/N が得られるデジタル信号処理装置を提供する。

【解決手段】 乗算器 1 2 は、入力端子 1 1 に入力される、音楽データである入力 1 ビットデータ D_{1i} に係数 k を乗算する。 $\Delta\Sigma$ 変調器 1 3 は、乗算器 1 2 の乗算出力に再度 $\Delta\Sigma$ 変調処理を施す。遅延器 1 7 は、 $\Delta\Sigma$ 変調器 1 3 からの再 $\Delta\Sigma$ 変調信号 $D_{1'}$ に対する上記入力 1 ビットデータ D_{1i} の位相を揃える。セレクタ 1 6 は、遅延器 1 7 の出力である遅延原音信号 D_{1d} と上記再 $\Delta\Sigma$ 変調信号 D_{1i} とを切り替える。コントロール部 1 8 は、 $\Delta\Sigma$ 変調器 1 3 の有効となる次数の可変処理を制御する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社